MV-31

ハードウェア取扱説明書

株式会社　マイクロビジョン

ハードウェア取扱説明書 for MV-31 Rev1.2

改訂記録

版	変更内容	レビジョン	日付	担当
1	初版	1.0	2004/07/29	本間
2	改訂	1.1	2004/10/16	本間
3	改訂	1.2	2005/03/03	本間

目　次

1) 概要....1
2) 概略部品配置図....1
3) ブロック図....3
4) 仕様....4
5) 外形寸法....4
6) 適応 OS....4
7) コネクタ....5
J1....5
J2、J4....5
J3、J5....7
J8....9
J9....9
J10....9
J11....10
U2....12
CN1、CN2、CN3、CN5....12
CN4....12
CN6....13
J15....14
8) スイッチ....15
S1....15
S2....15
S3....15
S4....15
S5....16
9) LED....16
LED1....16
LED2....16
LED3....16
LED4....16
LED5....16
LED6....16
D2....16
D3....16

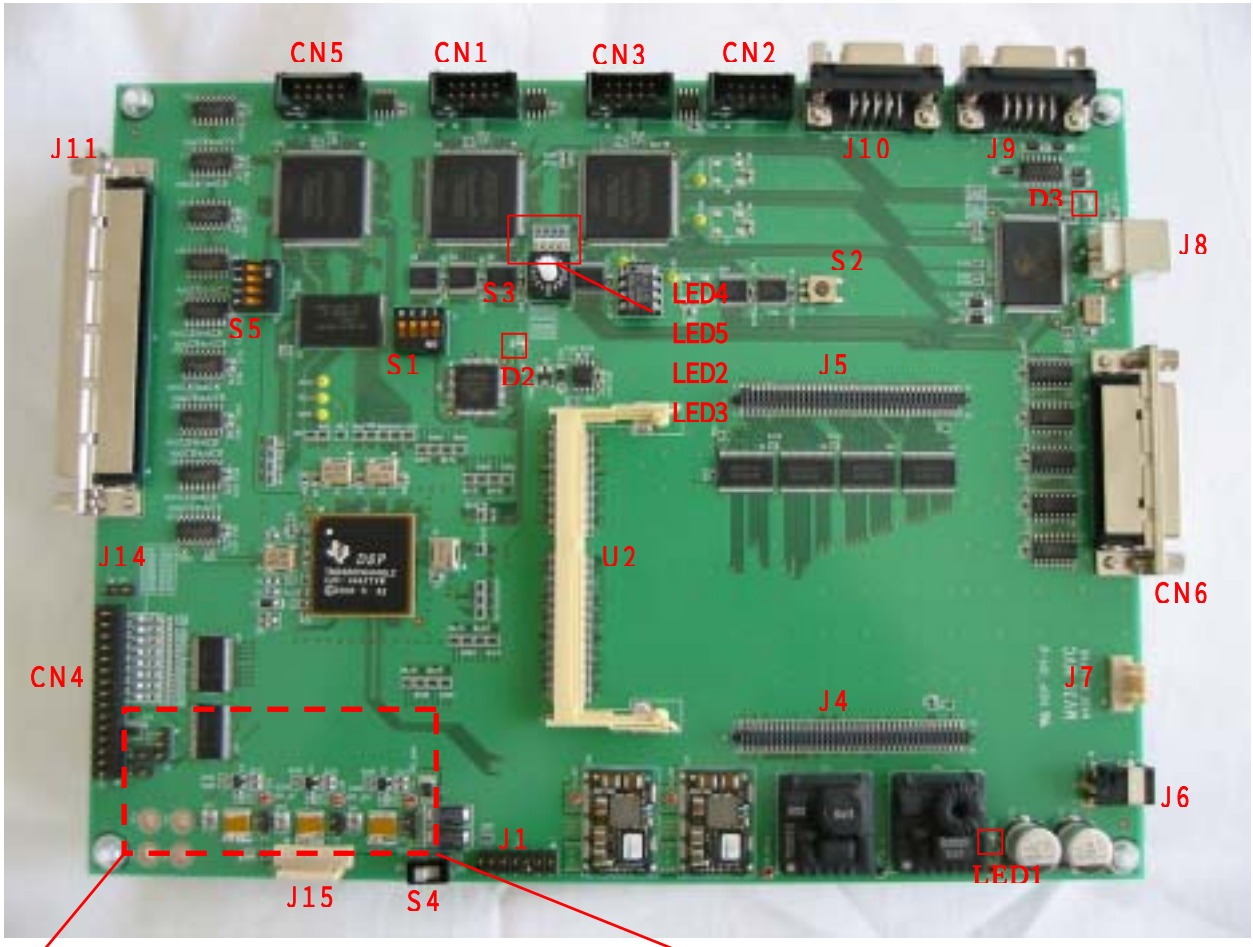
10) ジャンパーピン 17
JP1、JP2、JP3 17
J12 17
J13 17
J14 17
J16 17
11) 電源コネクタ 17
J6 電源入力用 17
J7 12V 電源入力用 17
12) 可変抵抗 18
VR1 18
VR2 18
VR3 18
13) DSP (TMS320C6414) メモリーマップ 19
14) I/O 表 20
15) 注意事項 21

1) 概要

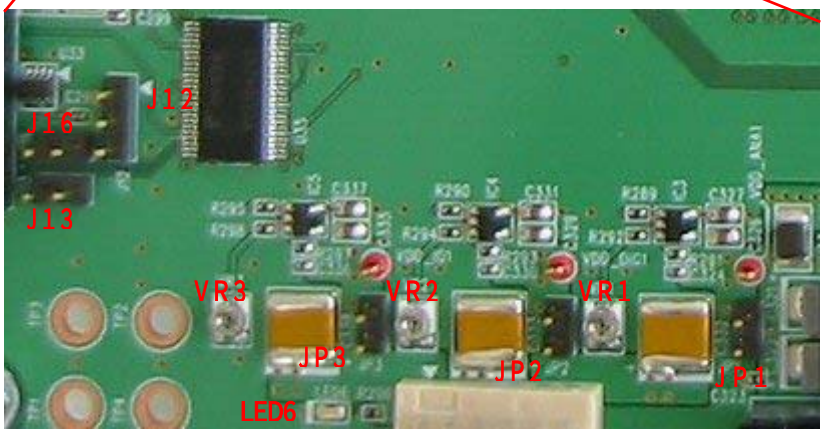
本マニュアルはDSP搭載画像入出力ボード：**MV-31** のハードウェア取扱説明書です。
入力データはLVDSまたはLVTTLでのカメラデータの入力が可能です。
データの出力はLVDSコネクタ経由、またはUSB2.0コネクタ経由の2種類があります。
DSPにより、各種演算処理を行う事ができます。
カメラからの入力データだけでなく、DSPによる処理データを出力することが出来ます。
SDRAMを搭載し、高解像度の画像を転送することができます。

2) 概略部品配置図

以下に本書中に説明のある部品についての配置図を記します。（一部除く）



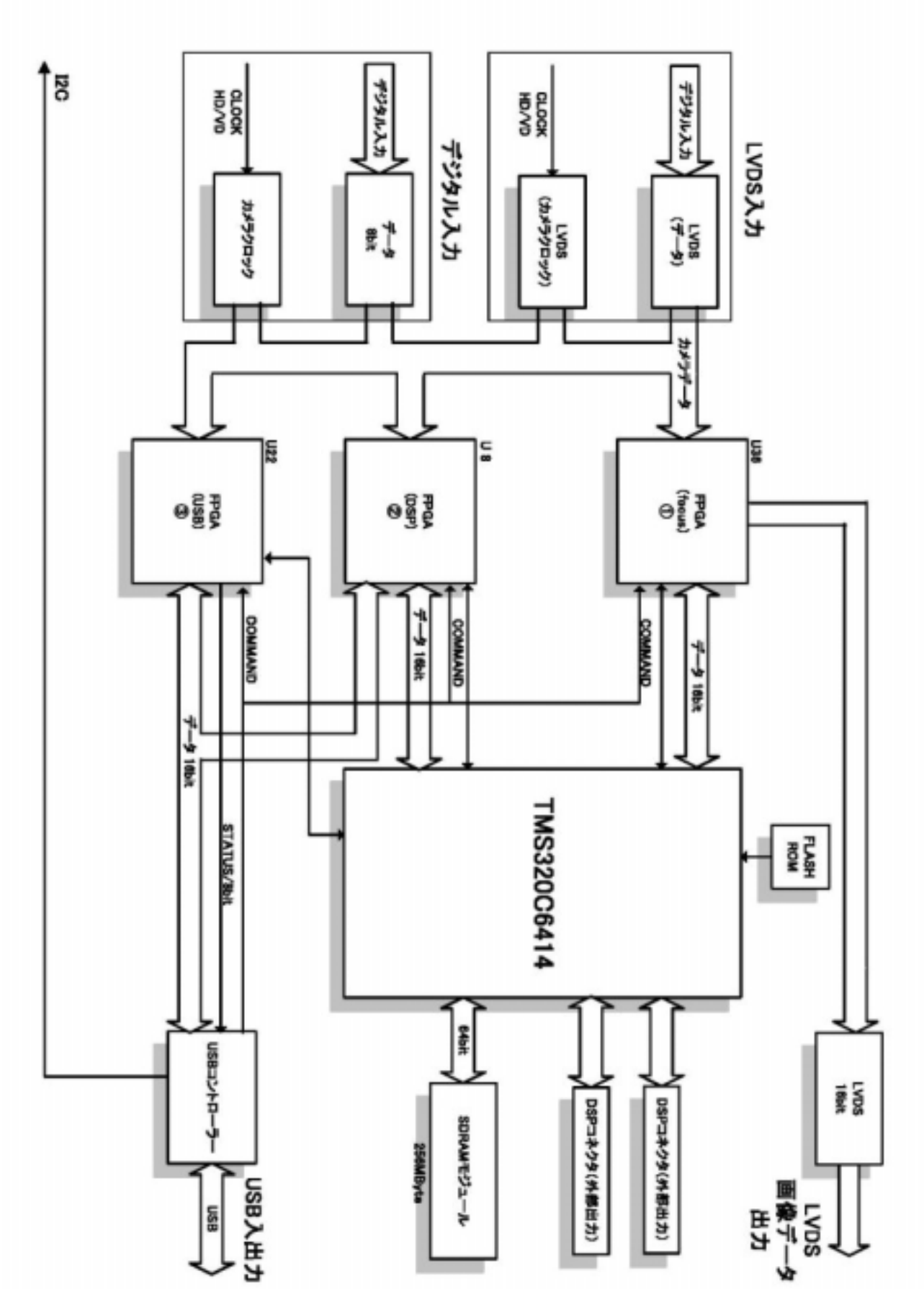
基板表面



基板表面拡大図

基板裏面

3) ブロック図


I2C
LVDS入力
デジタル入力
CLOCK
HD/VD
デジタル入力
カメラクロック
データ
8bit
LVDS
(カメラクロック)
LVDS
(データ)
カメラデータ
U22
FPGA
(USB)
③
U 8
FPGA
(DSP)
②
U36
FPGA
(focus)
①
COMMAND
データ 16bit
COMMAND
データ 16bit
COMMAND
データ 16bit
STATUS/8bit
TMS320C6414
FLASH
ROM
64bit
SDRAMモジュール
256MByte
DSPコネクタ(外部出力)
DSPコネクタ(外部出力)
LVDS
16bit
LVDS
画像データ
出力
USBコントローラー
USB
USB入出力

4) 仕様

データ入力	LVDS 16bit 、 デジタル 8bit
データ出力	LVDS 16bit 、 USB 2.0

5) 外形寸法

185mm (H) × 240mm(W) (コネクタ含まず)

6) 適応OS

Windows XP （ SP1 以降 ）
Windows 2000 （ SP4 以降 ）

＊ Windows XP を推奨

7) コネクタ

J1

(XJ8C-1411：オムロン)

DSP コンフィグレーション用のコネクタです。

J2、J4

(TFM-140-32-S-D-LC：SEMTECH)

DSP 接続用コネクタです。

J2、J4 信号表

PinNo	信号名	I/O	備考
1	+12V		電源(+12V)
2	-12V		電源(-12V)
3	GND		GND
4	GND		GND
5	+5V		電源(+5V)
6	+5V		電源(+5V)
7	GND		GND
8	GND		GND
9	+5V		電源(+5V)
10	+5V		電源(+5V)
11	M2	Output	FPGA(U8)の予備信号出力
12	M1	Output	FPGA(U8)の予備信号出力
13	M4	Output	FPGA(U8)の予備信号出力
14	M3	Output	FPGA(U8)の予備信号出力
15	M6	Output	FPGA(U8)の予備信号出力
16	M5	Output	FPGA(U8)の予備信号出力
17	M8	Output	FPGA(U8)の予備信号出力
18	M7	Output	FPGA(U8)の予備信号出力
19	+3.3V		電源(+3.3V)
20	+3.3V		電源(+3.3V)
21	M10	Input	FPGA(U36)の予備信号入力
22	M9	Input	FPGA(U36)の予備信号入力
23	M12	Input	FPGA(U36)の予備信号入力
24	M11	Input	FPGA(U36)の予備信号入力
25	GND		GND
26	GND		GND
27	M14	Input	FPGA(U36)の予備信号入力
28	M13	Input	FPGA(U36)の予備信号入力
29	GPIO10	Input/Output	DSPのGPIO
30	GPIO9	Input/Output	DSPのGPIO
31	GND		GND
32	GND		GND

33	GPIO12	Input/Output	DSP の GPIO
34	GPIO11	Input/Output	DSP の GPIO
35	GPIO14	Input/Output	DSP の GPIO
36	GPIO13	Input/Output	DSP の GPIO
37	GND		GND
38	GND		GND
39	N.C.		
40	GPIO15	Input/Output	DSPのGPIO
41	N.C.		
42	N.C.		
43	GND		GND
44	GND		GND
45	DC_TOUT2	Output	DSPのタイマー出力
46	DC_TINP2	Input	DSPのタイマー入力
47	N.C.		
48	DC_EINT5	Input	DSPへの割り込み
49	N.C.		
50	N.C.		
51	GND		GND
52	GND		GND
53	DC_EINT4	Input	DSPへの割り込み
54	N.C.		
55	N.C.		
56	N.C.		
57	N.C.		
58	N.C.		
59	DC_RESET	Input	リセット信号
60	N.C.		
61	GND		GND
62	GND		GND
63	N.C.		
64	N.C.		
65	N.C.		
66	N.C.		
67	DC_EINT6	Input	DSPへの割り込み
68	DC_EINT7	Input	DSPへの割り込み
69	DSK_CE3n	Output	EMIFAのチップセレクト信号
70	N.C.		
71	N.C.		
72	N.C.		
73	N.C.		
74	N.C.		
75	DC_DET	Input/Output	DSPのGPIO
76	GND		GND
77	GND		GND

78	DC_ECLKOUT	Output	EMIFA クロック出力
79	GND		GND
80	GND		GND

J3、J5

(TFM-140-32-S-D-LC： SEMTECH)

DSP 接続用コネクタです。

J3、J5 信号表

PinNo	信号名	I/O	備考
1	+5V		電源(+5V)
2	+5V		電源(+5V)
3	DC_A21	Output	EMIFA アドレス出力
4	DC_A20	Output	EMIFA アドレス出力
5	DC_A19	Output	EMIFA アドレス出力
6	DC_A18	Output	EMIFA アドレス出力
7	DC_A17	Output	EMIFA アドレス出力
8	DC_A16	Output	EMIFA アドレス出力
9	DC_A15	Output	EMIFA アドレス出力
10	DC_A14	Output	EMIFA アドレス出力
11	GND		GND
12	GND		GND
13	DC_A13	Output	EMIFA アドレス出力
14	DC_A12	Output	EMIFA アドレス出力
15	DC_A11	Output	EMIFA アドレス出力
16	DC_A10	Output	EMIFA アドレス出力
17	DC_A9	Output	EMIFA アドレス出力
18	DC_A8	Output	EMIFA アドレス出力
19	DC_A7	Output	EMIFA アドレス出力
20	DC_A6	Output	EMIFA アドレス出力
21	+5V		電源(+5V)
22	+5V		電源(+5V)
23	DC_A5	Output	EMIFA アドレス出力
24	DC_A4	Output	EMIFA アドレス出力
25	DC_A3	Output	EMIFA アドレス出力
26	DC_A2	Output	EMIFA アドレス出力
27	DC_BE3n	Output	DSP バスイネーブル
28	DC_BE2n	Output	DSP バスイネーブル
29	DC_BE1n	Output	DSP バスイネーブル
30	DC_BE0n	Output	DSP バスイネーブル
31	GND		GND
32	GND		GND
33	DC_D31	Input/Output	EMIFA データ入出力
34	DC_D30	Input/Output	EMIFA データ入出力
35	DC_D29	Input/Output	EMIFA データ入出力
36	DC_D28	Input/Output	EMIFA データ入出力

37	DC_D27	Input/Output	EMIFA データ入出力
38	DC_D26	Input/Output	EMIFA データ入出力
39	DC_D25	Input/Output	EMIFA データ入出力
40	DC_D24	Input/Output	EMIFA データ入出力
41	+3.3V		電源(+3.3V)
42	+3.3V		電源(+3.3V)
43	DC_D23	Input/Output	EMIFA データ入出力
44	DC_D22	Input/Output	EMIFA データ入出力
45	DC_D21	Input/Output	EMIFA データ入出力
46	DC_D20	Input/Output	EMIFA データ入出力
47	DC_D19	Input/Output	EMIFA データ入出力
48	DC_D18	Input/Output	EMIFA データ入出力
49	DC_D17	Input/Output	EMIFA データ入出力
50	DC_D16	Input/Output	EMIFA データ入出力
51	GND		GND
52	GND		GND
53	DC_D15	Input/Output	EMIFA データ入出力
54	DC_D14	Input/Output	EMIFA データ入出力
55	DC_D13	Input/Output	EMIFA データ入出力
56	DC_D12	Input/Output	EMIFA データ入出力
57	DC_D11	Input/Output	EMIFA データ入出力
58	DC_D10	Input/Output	EMIFA データ入出力
59	DC_D9	Input/Output	EMIFA データ入出力
60	DC_D8	Input/Output	EMIFA データ入出力
61	GND		GND
62	GND		GND
63	DC_D7	Input/Output	EMIFA データ入出力
64	DC_D6	Input/Output	EMIFA データ入出力
65	DC_D5	Input/Output	EMIFA データ入出力
66	DC_D4	Input/Output	EMIFA データ入出力
67	DC_D3	Input/Output	EMIFA データ入出力
68	DC_D2	Input/Output	EMIFA データ入出力
69	DC_D1	Input/Output	EMIFA データ入出力
70	DC_D0	Input/Output	EMIFA データ入出力
71	GND		GND
72	GND		GND
73	DC_AREn	Output	EMIFA リードイネーブル信号
74	DC_AWEn	Output	EMIFA ライトイネーブル信号
75	DC_AOEn	Output	EMIFA アウトプットイネーブル信号
76	DC_ARDY	Input	メモリーレディインプット信号
77	DC_CE3n	Output	チップセレクト信号
78	DC_CE2n	Output	チップセレクト信号
79	GND		GND
80	GND		GND

J8

(AXJ115301S：松下電工)

USB 接続用のコネクタです。(B TYPE)

J8 信号表

PinNo	信号名	I/O	備考
1	VBUS		USBバス電源
2	D-	I/O	デジタル信号 (-)
3	D+	I/O	デジタル信号 (+)
4	GND		

J9

(17LE-13090-27D3AB：DDK)

通信用コネクタです。

J9 信号表

PinNo	信号名	I/O	備考
1	N.C.		
2	TOUT1	Output	制御信号出力
3	RIN1	Input	制御信号入力
4	N.C.		
5	GND		GND
6	N.C.		
7	N.C.		
8	N.C.		
9	N.C.		

J10

(17LE-13090-27D3AB：DDK)

通信用コネクタです。

J10 信号表

PinNo	信号名	I/O	備考
1	N.C.		
2	TOUT2	Output	制御信号出力
3	RIN2	Input	制御信号入力
4	N.C.		
5	GND		GND
6	N.C.		
7	N.C.		
8	N.C.		
9	N.C.		

J11

(DX10A-100S：ヒロセ)

ＬＶＤＳデジタル画像データを入力するためのコネクタです。

J11 信号表

PinNo	信号名	I/O	備考
1	+DCLK	Input	カメラからのクロック信号 (+)
2	+D-HD	Input	水平同期信号 (+)
3	+D-VD	Input	垂直同期信号 (+)
4	+CAMST	Input	FPGA(U36)の予備信号入力(+)
5	+DB0	Input	データ信号D0 (+)
6	+DB1	Input	データ信号D1 (+)
7	+DB2	Input	データ信号D2 (+)
8	+DB3	Input	データ信号D3 (+)
9	+DB4	Input	データ信号D4 (+)
10	+DB5	Input	データ信号D5 (+)
11	+DB6	Input	データ信号D6 (+)
12	+DB7	Input	データ信号D7 (+)
13	+DB8	Input	データ信号D8 (+)
14	+DB9	Input	データ信号D9 (+)
15	+DB10	Input	データ信号D10 (+)
16	+DB11	Input	データ信号D11 (+)
17	+DB12	Input	データ信号D12 (+)
18	+DB13	Input	データ信号D13 (+)
19	+DB14	Input	データ信号D14 (+)
20	+DB15	Input	データ信号D15 (+)
21	M1	Output	FPGA(U8)の予備信号出力
22	M3	Output	FPGA(U8)の予備信号出力
23	M5	Output	FPGA(U8)の予備信号出力
24	M7	Output	FPGA(U8)の予備信号出力
25	M9	Input	FPGA(U36)の予備信号入力
26	M11	Input	FPGA(U36)の予備信号入力
27	M13	Input	FPGA(U36)の予備信号入力
28	RELAY1	Output	FPGA(U8)の予備信号出力で
29	GND		GND
30	GND		GND
31	GND		GND
32	GND		GND
33	GND		GND
34	GND		GND
35	SCL_D	Input	I2Cシリアルクロック
36	+STOUT1	Input	FPGA(U8)の予備信号出力(+)
37	GND		GND
38	+CLKOUT	Output	カメラへのクロック信号出力 (+)
39	+LIN-HD	Output	外部水平同期信号出力 (+)

40	+LIN-VD	Output	外部垂直同期信号 (+)
41	+STOUT2	Output	FPGA(U8)の予備信号出力(+)
42	+STOUT3	Output	FPGA(U8)の予備信号出力(+)
43	+STOUT4	Output	FPGA(U8)の予備信号出力(+)
44	+RSVIN1	Input	FPGA(U36)の予備信号入力(+)
45	+RSVIN2	Input	FPGA(U36)の予備信号入力(+)
46	+RSVIN3	Input	FPGA(U36)の予備信号入力(+)
47	+RSVIN4	Input	FPGA(U36)の予備信号入力(+)
48	+RSVOUT1	Output	FPGA(U8)の予備信号出力(+)
49	+RSVOUT2	Output	FPGA(U8)の予備信号出力(+)
50	GND		GND
51	-DCLK	Input	カメラからのクロック信号 (-)
52	-D-HD	Input	水平同期信号 (-)
53	-D-VD	Input	垂直同期信号 (-)
54	-CAMST	Input	FPGA(U36)の予備信号入力(-)
55	-DB0	Input	データ信号D0 (-)
56	-DB1	Input	データ信号D1 (-)
57	-DB2	Input	データ信号D2 (-)
58	-DB3	Input	データ信号D3 (-)
59	-DB4	Input	データ信号D4 (-)
60	-DB5	Input	データ信号D5 (-)
61	-DB6	Input	データ信号D6 (-)
62	-DB7	Input	データ信号D7 (-)
63	-DB8	Input	データ信号D8 (-)
64	-DB9	Input	データ信号D9 (-)
65	-DB10	Input	データ信号D10 (-)
66	-DB11	Input	データ信号D11 (-)
67	-DB12	Input	データ信号D12 (-)
68	-DB13	Input	データ信号D13 (-)
69	-DB14	Input	データ信号D14 (-)
70	-DB15	Input	データ信号D15 (-)
71	M2	Output	FPGA(U8)の予備信号出力(+)
72	M4	Output	FPGA(U8)の予備信号出力(+)
73	M6	Output	FPGA(U8)の予備信号出力(+)
74	M8	Input	FPGA(U36)の予備信号入力
75	M10	Input	FPGA(U36)の予備信号入力
76	M12	Input	FPGA(U36)の予備信号入力
77	M14	Input	FPGA(U36)の予備信号入力
78	RELAY2	Output	FPGA(U8)の予備信号出力
79	+5V	Input	電源 (+5V)
80	VDD_IO	Input	電源(VDD_IO)
81	VDD_DIG	Input	電源(VDD_DIG)
82	VDD_ANA	Input	電源(VDD_ANA)
83	+3.3V	Input	電源(+3.3V)
84	+3.3V	Input	電源(+3.3V)

85	SDA_D	Input	I2Cシリアルデータ
86	-STOUT1	Input	FPGA(U8)の予備信号出力(-)
87	GND	Input	GND
88	-CLKOUT	Output	カメラへのクロック信号出力(-)
89	-LIN-HD	Output	外部水平同期信号出力(-)
90	-LIN-VD	Output	外部垂直同期信号(-)
91	-STOUT2	Output	FPGA(U8)の予備信号出力(-)
92	-STOUT3	Output	FPGA(U8)の予備信号出力(-)
93	-STOUT4	Output	FPGA(U8)の予備信号出力(-)
94	-RSVIN1	Input	FPGA(U36)の予備信号入力(-)
95	-RSVIN2	Input	FPGA(U36)の予備信号入力(-)
96	-RSVIN3	Input	FPGA(U36)の予備信号入力(-)
97	-RSVIN4	Input	FPGA(U36)の予備信号入力(-)
98	-RSVOUT1	Output	FPGA(U8)の予備信号出力(-)
99	-RSVOUT2	Output	FPGA(U8)の予備信号出力(-)
100	GND		GND

U2

(SX6-144S-08SH-2：ヒロセ)

SO-DIMM 用ソケットです。

CN1、CN2、CN3、CN5

(XG4C-1031：オムロン)

FPGA、CPLD 書き込み用のコネクタです。

CN4

(PS-30PE-D4T1-PN1：JAE)

カメラ信号入力用のコネクタです。

CN4 信号表

PinNo	信号名	I/O	備考
1	N.C. or VDD-L		J13オープンでN.C.、ショートで電源(VDD-ANA)に接続されます。
2	H-SYNC	Input	水平同期信号
3	V-SYNC	Input	垂直同期信号
4	XRST	Output	カメラリセット信号
5	VDD-H		カメラ電源(VDD-IO)。J16をオープンにすると、電源は供給されません。
6	GND		GND
7	SDA	Input/Output	I2Cシリアルデータ信号
8	GND		GND
9	SCL	Output	I2Cシリアルクロック信号
10	GND		GND
11	DCLK	Input	カメラクロック
12	GND		GND

13	D0	Input	カメラデータ
14	GND		GND
15	D1	Input	カメラデータ
16	GND		GND
17	D2	Input	カメラデータ
18	GND		GND
19	D3	Input	カメラデータ
20	GND		GND
21	D4	Input	カメラデータ
22	GND		GND
23	D5	Input	カメラデータ
24	GND		GND
25	D6	Input	カメラデータ
26	GND		GND
27	D7	Input	カメラデータ
28	GND		GND
29	CLK-OUT	Output	クロック出力
30	GND or STOB		J14の1-2ショートでGND、2-3ショートでSTOB信号が出力されます。

CN6

(DX10A-50S：ヒロセ)

外部への信号出力用コネクタです。

CN6 信号表

PinNo	信号名	I/O	備考
1	+ADB0	Output	データの出力
2	+ADB1	Output	データの出力
3	+ADB2	Output	データの出力
4	+ADB3	Output	データの出力
5	+ADB4	Output	データの出力
6	+ADB5	Output	データの出力
7	+ADB6	Output	データの出力
8	+ADB7	Output	データの出力
9	+ADB8	Output	データの出力
10	+ADB9	Output	データの出力
11	+ADB10	Output	データの出力
12	+ADB11	Output	データの出力
13	+ADB12	Output	データの出力
14	+ADB13	Output	データの出力
15	+ADB14	Output	データの出力
16	+ADB15	Output	データの出力
17	GND		GND
18	GND		GND
19	+AD_HD	Output	水平同期信号の出力

20	GND		GND
21	+AD_VD	Output	垂直同期信号の出力
22	GND		GND
23	+ADCLK	Output	クロック信号の出力
24	GND		GND
25	GND		GND
26	-ADB0	Output	データの出力
27	-ADB1	Output	データの出力
28	-ADB2	Output	データの出力
29	-ADB3	Output	データの出力
30	-ADB4	Output	データの出力
31	-ADB5	Output	データの出力
32	-ADB6	Output	データの出力
33	-ADB7	Output	データの出力
34	-ADB8	Output	データの出力
35	-ADB9	Output	データの出力
36	-ADB10	Output	データの出力
37	-ADB11	Output	データの出力
38	-ADB12	Output	データの出力
39	-ADB13	Output	データの出力
40	-ADB14	Output	データの出力
41	-ADB15	Output	データの出力
42	GND		GND
43	GND		GND
44	-AD_HD	Output	水平同期信号の出力
45	GND		GND
46	-AD_VD	Output	垂直同期信号の出力
47	GND		GND
48	-ADCLK	Output	クロック信号の出力
49	GND		GND
50	GND		GND

J15

(DF-6P-2.5DSA：ヒロセ)

外部電源供給コネクタ

J15 信号表

PinNo	信号名	I/O	備考
1	VDD-IO		電源(VDD-IO)
2	GND		GND
3	VDD-DIG		電源(VDD-DIG)
4	GND		GND
5	VDD-ANA		電源(VDD-ANA)
6	GND		GND

8) スイッチ

S1

CPLD(U11)の制御用スイッチです。DSP の BOOT 制御に使用します。
デフォルトでは全て OFF です。

SW №	信号名	備考
1	UTOPIA_EN	UTOPIAのイネーブル信号です。(ON：enable　OFF：disable) TMS320C6414ではUTOPIAはサポートされていません。 OFFに設定してください。
2	ROM_BOOT	ON：No Boot　OFF：EMIFB 8bit ROM boot(デフォルト)
3	LIN_ENDIAN	ON：Big Endian mode　OFF：Little Endian mode(デフォルト)
4		使用しません。

S2

リセットスイッチです。

S3

カメラへのクロック信号選択のためのスイッチです。

設定番号	周波数	基準発振器	備考
0	24.000 MHz	X6 24.000MHz	DEFAULT
1	24.000/2 MHz		
2	24.000/4 MHz		
3	X8 MHz	X8 xxxMHz 未実装	
4	X8/2 MHz		
5	X8/4 MHz		
6	X7 MHz	X7 xxxMHz 未実装	
7	X7/2 MHz		
8	X7/4 MHz		
9	X9 MHz	X9 xxxMHz 未実装	
A	X9/2 MHz		
B	X9/4 MHz		
C	未使用		
D			
E			
F			

S4

カメラへ供給する電源(VDD-IO、VDD-ANA、VDD-DIG)の ON/OFF スイッチです。

S5

FPGA の制御用スイッチです。現在は使用していません。

SW №	信号名	備考
1		使用しません。
2		使用しません。
3		使用しません。
4		使用しません。

9) LED

LED1

3.3V 電源のモニター用 LED です。電源 ON の間点灯します。

LED2

V-SYNC のモニター用 LED です。信号が出力されている間、点滅します。

LED3

H-SYNC のモニター用 LED です。信号が出力されている間、点滅します。

LED4

1shot 画像入力信号のモニター用 LED です。信号が出力されている間、点灯します。

LED5

連続画像入力信号のモニター用 LED です。信号が出力されている間、点灯します。

LED6

VDD-IO のモニター用 LED です。電源 ON の間点灯します。

D2

リセット信号のモニター用 LED です。リセット信号が“L”になったときに点灯します。

D3

USB バスパワーのモニター用 LED です。

10) ジャンパーピン

JP1、JP2、JP3

VR1、VR2、VR3 で調整された電圧の回路への供給のためのジャンパーピンです。
ショートで電圧が供給されます。
オープンで電圧が供給されません。
出荷時 ： ショート

J12

I2C バッファ IC (U33) への電圧です。ジャンパーの配線の組み合わせにより、CN4、J11 から出力される I2C の電圧レベルが変わります。
1-3 ショートで VDD-IO が、1-2 ショートで+3.3V が供給されます。
出荷時 ： 1-3 ショート (ジャンパー線による。)

J13

カメラコネクタ(CN4 1 番ピン)への VDD－ANA の供給のためのジャンパーピンです。
ショートでカメラコネクタに電圧 (VDD-ANA) が供給されます。
オープンでカメラコネクタに電圧 (VDD-ANA) が供給されません。
出荷時 ： オープン

J14

カメラコネクタ(CN4 30 番ピン)への出力設定用のジャンパーピンです。
1-2 ショートで GND、2-3 ショートで STOB 信号が出力されます。
出荷時 ： 1-2 ショート

J16

カメラコネクタ(CN4 5 番ピン)への VDD－IO の供給のためのジャンパーピンです。
ショートでカメラコネクタに電圧 (VDD-IO) が供給されます。
オープンでカメラコネクタに電圧 (VDD-IO) が供給されません。
出荷時 ： ショート

11) 電源コネクタ

J6　　電源入力用

(M04-533B0 ： マル信)
＋9V 外部電源ジャックです。

J7　　12V 電源入力用

(DF1-4P-2.5DSA： ヒロセ)
外部電源用コネクタです。J6 以外から電源を供給する場合に使用します。

PinNo	信号名	I/O	備考
1	+6～16.5V		電源。J6を用いないで基板に電源供給を行う場合に使用します。
2	GND		GND
3	-12V		電源(-12V)の供給用。
6	+12V		電源(+12V)の供給用。

12) 可変抵抗

カメラへ供給する電源電圧の調整を行う可変抵抗です。

（注意） 使用前にカメラモジュールに適合した電圧になっているか確認をお願いします。

VR1

VDD-ANA 電圧調整用（1.3V～3.2V）

VR2

VDD-DIG 電圧調整用（1.3V～3.2V）

VR3

VDD-IO 電圧調整用（2.2V～3.2V）

13) DSP (TMS320C6414) メモリーマップ

Address Range (Hex)	Size (Bytes)	Description of Memory Block
0x00000000-0x000FFFFF	1M	Internal RAM (L2)
0x00100000-0x017FFFFF	23M	Reserved
0x01800000-0x0183FFFF	256K	Internal configuration bus EMIFA registers
0x01840000-0x0187FFFF	256K	Internal configuration bus L2 control registers
0x01880000-0x018BFFFF	256K	Internal configuration bus HPI registers
0x018C0000-0x018FFFFF	256K	Internal configuration bus McBSP0 registers
0x01900000-0x0193FFFF	256K	Internal configuration bus McBSP1 registers
0x01940000-0x0197FFFF	256K	Internal configuration bus timer 0 registers
0x01980000-0x019BFFFF	256K	Internal configuration bus timer 1 registers
0x019C0000-0x019FFFFF	256K	Internal configuration bus interrupt selector registers
0x01A00000-0x01A3FFFF	256K	Internal configuration bus EDMA RAM and registers
0x01A40000-0x01A7FFFF	256K	Internal configuration bus McBSP2 registers
0x01A80000-0x01ABFFFF	256K	Internal configuration bus EMIFB registers
0x01AC0000-0x01AFFFFF	256K	Internal configuration bus timer 2 registers
0x01B00000-0x01B3FFFF	256K	Internal configuration bus GPIO registers
0x01B40000-0x01B7FFFF	256K	Internal configuration bus UTOPIA registers* (C6415 only)
0x01B80000-0x01BFFFFF	512K	Reserved
0x01C00000-0x01C3FFFF	256K	Internal configuration bus PCI registers *(C6415 only)
0x01C40000-0x01FFFFFF	4M-256K	Reserved
0x02000000-0x02000033	52	QDMA registers
0x02000034-0x2FFFFFFF	736M-52	Reserved
0x03000000-0x33FFFFFF	64M	McBSP0 data
0x34000000-0x37FFFFFF	64M	McBSP1 data
0x38000000-0x3BFFFFFF	64M	McBSP2 data
0x3C000000-0x3FFFFFFF	64M	UTOPIA queues *(C6415 only)
0x40000000-0x5FFFFFFF	512M	Reserved
0x60000000-0x63FFFFFF	64M	EMIFB CE0 I/O
0x64000000-0x67FFFFFF	64M	EMIFB CE1 FLASH MEMORY
0x68000000-0x6BFFFFFF	64M	EMIFB CE2 I/O
0x6C000000-0x6FFFFFFF	64M	EMIFB CE3 FIFO I/O
0x70000000-0x7FFFFFFF	256M	Reserved
0x80000000-0x8FFFFFFF	256M	EMIFA CE0 SDRAM
0x90000000-0x9FFFFFFF	256M	EMIFA CE1 SDRAM
0xA0000000-0xAFFFFFFF	256M	EMIFA CE2 外部
0xB0000000-0xBFFFFFFF	256M	EMIFA CE3 外部
0xC0000000-0xFFFFFFFF	1G	Reserved

14) I/O 表

MV-31 I/O TABLE

MV-31 DSP(FPGA U8) I/O 表

アドレス	説明	備考
60000000	[0..11] DMA_START_SET [12] reserve [13] reserve [14] one shot start [15] continue start	
60000002	[0] IMAGE_TO_DSP_START [1] DSP_TO_USB_START [2] USB_TO_DSP_START [3] FIFO CLR L->H->L [4] 0:IMAGE->USB MODE 1:USB<->DSP MODE [5] 1:LVDS MODE [6] 1:COMMAND7 [7..15] reserve	
60000004	VPORT_OUT[15..0]への出力信号の設定 [0] stout1 [1] stout2 [2] stout3 [3] stout4 [4] rsvout1 [5] rsvout2 [6] relay1 [7] relay2 [8] m1 [9] m2 [10] m3 [11] m4 [12] m5 [13] m6 [14] m7 [15] INPUT_HIGH CN4(40PIN)の方向制御	
60000006	VPORT_OUT2[3..0] への出力信号の設定 [0] DW_GATE CN4(40PIN)の入力制御 [1] I2C_GATE I2C(U33) [2] +EMB LVDS 入力制御 [3] -EMB LVDS 入力制御	
60000008	INPORT [0..3] USB COMMAND IN [4] ALTERA_FIFO_EMP [5] USB_FIFO_EMP [6] USB_FIFO_FF	

	[7] EXT_IMAGE_IN_VALID [8] image_in_valid [15..9] reserve	
6000000a	I2C レジスタ [7..0] DATA [15..8] ADDRESS	
6000000c	[7..0] DSP READ ADDRESS [8] COUNTER CLEAR [14..9] COUNTER OUT [15] I2C WRITE VALID	
6000000e	[0] I2C MEMORY ENABLE 0:I2C WRITE READ OK 1:DSP WRITE READ OK [15..1] reserve	

※68000000 番地、6C000000 番地はアルテラ FPGA 内で FIFO として使用しています。

15) 注意事項

MV-31をご使用になるにあたり、下記の項目を必ずお守りください。ボードやカメラ等の故障につながる恐れがあります。

・メモリの取り外しを行う場合は、DC 電源を必ずはずし、USB ケーブルを抜いてから行ってください。

・カメラの取り外しを行う場合は、カメラ電源を必ず OFF にしてください。

株式会社マイクロビジョン

本社　　〒950-0986 新潟市神道寺南1－9－15
TEL　　025－247－8312
FAX　　025－247－8313